

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-146457

(43) 公開日 平成8年(1996)6月7日

(51) Int. Cl.⁵

G 0 2 F 1/135

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 8 頁)

(21) 出願番号 特願平6-312357

(22) 出願日 平成6年(1994)11月24日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 新津 岳洋

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社内

(72) 発明者 林 和廣

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社内

(74) 代理人 弁理士 阪本 清孝 (外1名)

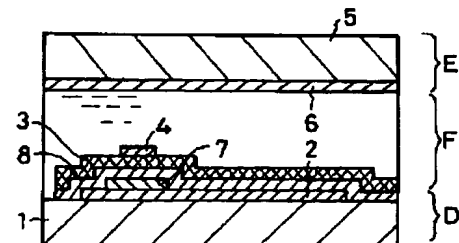
(54) 【発明の名称】 アクティブデバイス

(57) 【要約】

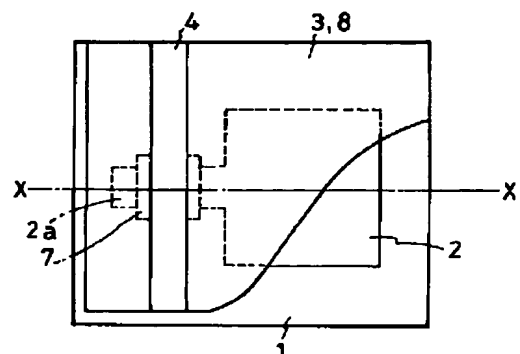
【目的】 下部電極の膜厚のばらつきに起因して表示が不均一となるのを防止して、高品質の画像が得られる液晶表示素子に使用できるアクティブデバイスを得る。

【構成】 絶縁基板1上に形成された画素電極2と、前記画素電極2の一部を覆う下部電極7と、前記画素電極2及び下部電極7上に形成された強誘電体層3と、前記強誘電体層3上に前記下部電極7と重なるように形成された上部電極4とを順次積層して成るアクティブデバイスにおいて、前記下部電極7と強誘電体層3との間に前記強誘電体層3よりも誘電率の高い誘電体層8を介在させることにより、強誘電体層3の膜厚にばらつきが生じるような場合においても、誘電体層8の存在により強誘電体層3及び誘電体層8で構成される合成容量のばらつきを抑えることができる。

(a)



(b)



【特許請求の範囲】

【請求項 1】絶縁基板上に形成された画素電極と、前記画素電極の一部を覆う下部電極と、前記画素電極及び下部電極上に形成された強誘電体層と、前記強誘電体層上に前記下部電極と重なるように形成された上部電極とを順次積層して成るアクティブデバイスにおいて、前記下部電極と強誘電体層との間に前記強誘電体層よりも誘電率の高い誘電体層を介在させることを特徴とするアクティブデバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マトリクス状アクティブデバイス型ディスプレイ素子の画素駆動用アクティブデバイスに係り、特に、液晶ディスプレイ等に利用されるアクティブデバイスに関する。

【0002】

【従来の技術】強誘電体の非線形性を利用し、これを 2 端子素子として液晶をアクティブ・マトリクス駆動する方法は、Molecular Crystals and Liquid Crystals, 1971, Vol. 15, pp. 95~104 に発表されている。また、その応用例としては、特開平 1-4721 号公報に開示されているような方法が提案されている。その駆動原理について図 5 を参照しながら説明する。強誘電体のヒステリシスループを図 5 (a) に示す。図 5 (a) において、 P_r は残留分極、 E_c は抗電界を表わしている。例えば、強誘電体に対して電界を下から上に印加すると、電界を印加した方向に分極が配向する (図 5 (b))。このとき、自発分極の方向とは逆の上から下の方向に内部電界が発生する。また、十分大きな電界を逆方向に印加すると自発分極が反転し (図 5 (c))、上の方向に内部電界が発生する。このときに印加する電界が抗電界 E_c であると自発分極がランダムな配向状態となる (図 5 (d))。すなわち、図 5 (b) (c) に示したように、自発分極の向きが揃っている場合には、

$$V_1 = V_{dd} \cdot C_{lc} / (C_{fe} + C_{lc})$$

である。また、液晶表示素子に印加していた電圧を除去して接地したときに残留分極によって液晶層 F に印加さ

$$V_{lc} = S_{fe} \cdot P_r / (C_{fe} + C_{lc})$$

となる。(1) 式、(2) 式より

$$V_{lc} = d_{fe} \cdot P_r / (\epsilon_0 \cdot \epsilon_{fe}) \times (1 - V_1 / V_{dd}) \quad (3)$$

となる。駆動電圧 V_{dd} はできるだけ小さくして V_1 を大きく取ることが望ましいが、(3) 式より V_1 / V_{dd} が大きくなると残留分極によって液晶層 F に印加される電圧 V_{lc} が小さくなってしまいますので、 $V_1 / V_{dd} = 0.5$ ぐらいに設定するのが適切である。一方、 V_{lc} は $V_{lc} > 2 \sim 5$ V であり、できるだけ大きくとるほうが望ましいが、(3) 式の $(1 - V_1 / V_{dd})$ の値はほぼ固定値となってしまうので、 V_{lc} を大きくするには d_{fe} か P_r を大きくし、 ϵ_{fe} を小さくすればよい。しかし、 d_{fe} を大きくすることは強誘電体層 3 のスイッチング電圧を大き

残留分極 P_r に相当する電界が生じ、強誘電体に直列あるいは並列に結線された液晶などに電界を印加することができる。

【0003】上記原理を使用した液晶表示素子を図 6 に示す。液晶表示素子は、絶縁基板 1 上に透明電極からなり引き出し部 2a を有する画素電極 2 を形成し、前記画素電極 2 を被覆するように強誘電体層 3 を形成し、さらに前記強誘電体層 3 上に信号線としての上部電極 4 を形成して成る下側基板 D (アクティブデバイス) と、絶縁基板 5 上に各画素毎に共通となる対向電極 6 を形成して成る上側基板 E との間に液晶層 F を保持して構成されている。

【0004】上記アクティブデバイスを用いた液晶素子の駆動方法について、図 7 及び図 8 を用いて説明する。図 7 はアクティブマトリクスを用いた液晶表示素子の等価回路であり、上側基板 E の対向電極 6 と下側基板 D の画素電極 2 の間に液晶層 F と強誘電体層 3 が直列に配置されている。図 7 (a) は液晶表示素子に電圧 V_{dd} を印加したときの様子を表し、 C_{fe} 、 C_{lc} はそれぞれ強誘電体層 3 及び液晶層 F の静電容量、 V_1 、 V_2 はそれぞれ静電容量 C_{fe} 、 C_{lc} によって分配された強誘電体層 3 及び液晶層 F にかかる電圧を表している。図 7 (b) は液晶表示素子に印加していた電圧を除去して接地したときの様子を表し、 S_{fe} は上部電極 (信号線) 4 と画素電極 2 の引き出し部 2a が強誘電体層 3 を挟んで交差している部分の面積 (能動領域)、 P_r は強誘電体層 3 の残留分極、 ϵ_{fe} は強誘電体層 3 の誘電率、 d_{fe} は強誘電体層 3 の膜厚、 $S_{fe} \cdot P_r$ は残留分極によって保持される電荷量、 ϵ_0 は真空の誘電率、 V_{lc} は残留分極によって液晶層 F に印加される電圧を表している。

【0005】図 8 は、図 7 の液晶表示素子にタイミングチャートで示した V_{dd} を印加したときの V_{lc} を示している。液晶表示素子に電圧 V_{dd} を印加したときに強誘電体層 3 にかかる電圧 V_1 は、

$$(1)$$

れる電圧は、

$$(2)$$

くしてしまうので望ましくない。したがって、このアクティブデバイスを用いて液晶表示素子を駆動するためには、残留分極 P_r が大きく、誘電率 ϵ_{fe} が小さい強誘電体を選択する必要がある。

【0006】また、液晶表示を行なう場合には、強誘電体層 3 としては、スイッチング速度の速い無機系材料が適している。このような無機系強誘電体材料としては、 $Bi_4Ti_3O_{12}$ 、 Bi_2WO_3 、 Bi_3TiNbO_9 、 $Bi_5Ti_3FeO_{15}$ 、 $PbBi_2Nb_2O_9$ 、 $PbBi_2Ta_2O_9$ 、 $PbBi_3Ti_2NbO_{12}$ 、 $BaBi_4Ti_4O_{15}$ 、

PbBi₄Ti₄O₁₅, Bi₄-XPbXTi₃-XNbXO₁₂, LaXB_i₁₄-XTi₃O₁₂, PbLaXB_i₄-XTi₄O₁₅等のBi系化合物、LiNbO₃, LiTaO₃等のLi系化合物が好ましい。

【0007】

【発明が解決しようとする課題】前述した無機系強誘電体材料は、一般に3種類以上の元素からなるものが多く、この無機系強誘電体層の形成方法としては、スパッタ法、CVD法、真空蒸着法、レーザーアブレーション法等の気相成長法、ゾル・ゲル法、Metallo-Organic Deposition法(MOD法)等の液相成膜法がある。なかでも材料の多元素化と組成制御が容易で、プロセスも簡便で大面積化が容易なMOD法を用いるのが適している。サーマルヘッド、イメージセンサ、ハイブリッドIC等の分野ではMOD法を用いてAu, Pt, Ru等の金属電極を形成することは既に一般的に行われており、近年では、ITOのような透明導電膜もMOD法での形成が可能となっている。従って、前述したアクティブデバイスを構成する薄膜を全てMOD法で作製することによって、低コストで簡便かつ容易に大面積の液晶表示デバイス(LCD)の作製が可能となる。

【0008】MOD法によって作製した液晶表示素子の一例を図9に示す。また、図9のA部分の拡大図を図10に示す。この液晶表示素子は、図6のアクティブデバイスに比較して、画素電極2の引き出し部2aと強誘電体層3の間にAu, Pt, Ru等の金属電極からなるバッファ層(下部電極)7を介在させた構成が異なる。ここでバッファ層7を設けている理由は、MOD法でITOから成る透明導電膜(画素電極2)上に強誘電体膜(強誘電体層3)を形成すると、ITO中のSn等が強誘電体膜焼成中に拡散して強誘電体に必要なペロブスカイト構造の形成を阻害するためである。従って、MOD法でアクティブデバイスを作製する場合には、強誘電体層3の下層にAu, Pt, Ru等で形成されたバッファ層(下部電極)7を設けることが必要となる。

【0009】しかしながら、MOD法でAu, Pt, Ru等の金属薄膜でバッファ層(下部電極)7を形成すると、スパッタ法、CVD法、真空蒸着法、レーザーアブレーション法等の気相成長法に比べて電極表面の表面粗さが大きく、また、ペースト中の微量添加物や焼成中のダストが原因と思われる電極表面の突起、レベリング性に起因して膜厚のばらつきが生じるという問題がある。従って、上記構成のアクティブデバイスでは、バッファ層(下部電極)7の膜厚のばらつきが強誘電体層3の膜厚のばらつきを発生させ、その結果、強誘電体層3の容量がばらつき、最終的には液晶表示素子の表示が不均一となりLCDの画質を劣化させるという問題点があった。

【0010】本発明は上記実情に鑑みてなされたもので、下部電極の膜厚のばらつきに起因して表示が不均一

となるのを防止して、高品質の画像が得られる液晶表示素子に使用できるアクティブデバイスを提供することを目的とする。

【0011】

【課題を解決するための手段】上記問題点を解消するため本発明は、絶縁基板上に形成された画素電極と、前記画素電極の一部を覆う下部電極と、前記画素電極及び下部電極上に形成された強誘電体層と、前記強誘電体層上に前記下部電極と重なるように形成された上部電極とを順次積層して成るアクティブデバイスにおいて、前記下部電極と強誘電体層との間に前記強誘電体層よりも誘電率の高い誘電体層を介在させることを特徴としている。

【0012】

【作用】本発明によれば、下部電極の存在により強誘電体層の膜厚にばらつきが生じるような場合においても、強誘電体層と下部電極との間に前記強誘電体層よりも誘電率の高い誘電体層を設けているので、強誘電体層及び誘電体層で構成される合成容量のばらつきを抑えることができる。

【0013】

【実施例】本発明によるアクティブデバイスを使用した液晶表示素子の一実施例について、図1ないし図3を参照しながら説明する。図1(a)は実施例の液晶表示素子の断面説明図であり、図1(b)は液晶表示素子を構成する下側基板D(アクティブデバイス)を上面からみた平面説明図である。アクティブデバイス(下側基板D)は、ガラス基板から成る絶縁基板1上に、ITO透明電極から成る引き出し部2aが延設された方形状の画素電極2を形成し、前記引き出し部2aの一部を覆うようにAu薄膜から成るバッファ層(下部電極)7が形成されている。前記画素電極2及びバッファ層7の全面を被覆するようにPZTから成る誘電体層8が形成され、前記誘電体層8の全面を被覆するようにBi₄Ti₃O₁₂から成る強誘電体層3が形成され、強誘電体層3上にその下層にある前記バッファ層7と交差するように信号線としての上部電極4が形成されている。一方、上側基板Eは、ガラス基板から成る絶縁基板5上に、ITOから成る対向電極6を形成し、この上側基板Eと前記下側基板Dとの間に液晶層Fを保持することにより液晶表示素子を構成する。

【0014】図2は、液晶表示素子の他の実施例を示すもので、図1と同様の構成をとる部分については同一符号を付している。図2(a)は液晶表示素子の断面説明図であり、図2(b)は液晶表示素子を構成する下側基板D(アクティブデバイス)の上面を示す平面説明図である。本実施例において図1の液晶表示素子と異なる構成は、図1の下側基板D(アクティブデバイス)における誘電体層8は、画素電極2及びバッファ層7の全面を被覆しているのに対して、図2の下側基板D(アクティブデバイス)における誘電体層8は、上部電極(信号

線) 4とバッファ層7とが重なり合う部分についてのみ形成したことである。上部電極(信号線) 4とバッファ層7とが重なり合う部分における強誘電体層3の膜厚のばらつきが液晶表示素子の画質に影響を及ぼすからである。

【0015】すなわち、図1(a)及び図2(a)中のアクティブデバイスにおいて、図10に対応する部分は図3に示すようになり、この部分(上部電極(信号線) 4とバッファ層7とが重なり合う部分)において、絶縁基板1、画素電極2、バッファ層(下部電極) 7、強誘電体層3よりも誘電率の高い誘電体層8、強誘電体層3、上部電極(信号線) 4を順次積層する構造であればよい。

【0016】次に、本発明によるアクティブデバイスの作用について、図4を参照しながら説明する。膜厚のばらつきがそのまま強誘電体層3の容量のばらつきに反映するとした場合を考えて、従来例と本発明との比較を行なう。膜厚ばらつきの程度が容量のばらつきの程度と同じになるようにするため、この比較例では強誘電体層3と誘電体層8の膜厚を同じとして考える。まず、従来のアクティブデバイスの場合、強誘電体層3の誘電率を仮に100と設定し、適当な面積と膜厚から強誘電体層3の容量を50 pFになるようにし、このときの膜厚のばらつきの影響で強誘電体層3の容量のばらつきが50 pF \pm 10%あるとする。C_{lc}/C_{fe}=1としてC_{lc}=50 pFにし、液晶表示素子に20Vの電圧を印加すると、強誘電体層3にかかる電圧は、

$$V_1 = 20 \times 50 / (50 + 55) = 9.52V$$

$$V_1 = 20 \times 50 / (50 + 45) = 10.52V$$
 であるので、電圧のばらつきは10V-4.8%、10V+5.2%あることになる。

【0017】一方、本発明によるアクティブデバイスの場合、強誘電体層3の誘電率を同様に100、誘電体層8の誘電率を400として、適当な面積と膜厚から強誘電体層3の容量を50 pF、誘電体層8の面積と膜厚も同じにして容量を200 pFにしたとする。この場合は、強誘電体層3と誘電体層8は直列回路になるため、従来例と同じ電圧(10V)を強誘電体層3にかけるには25Vの電圧を印加しなければならない。C_{lc}/C_{fe}=1としてC_{lc}=40 pFにし、液晶表示素子に20Vの電圧を印加すると、強誘電体層3にかかる電圧は、

$$C_{sum} = 1 / (1/50 + 1/220) = 40.74$$
 なので

$$V_1 = 25 \times 40 / (40 + 40.74) \times 220 / (50 + 220) = 10.09V$$

$$200 pF - 10\% \text{ のとき}$$

$$C_{sum} = 1 / (1/50 + 1/180) = 39.13$$

ので

$$V_1 = 25 \times 40 / (40 + 39.13) \times 180 / (50 + 180) = 9.89V$$

であるので、電圧のばらつきは10V+0.9%、10V-1.1%あることになる。

【0018】ここで、誘電体層8のある場合とない場合を比較すると、ない場合は誘電率のばらつきはそのまま強誘電体層3にかかる電圧は最大5.2のばらつきをもつのにに対し、誘電体層8のある場合は合成容量でばらつきが最大の2.18%、強誘電体層3にかかる電圧は最大1.1%のばらつきであり、誘電体層8のない場合の約1/5に減少していることが分かる。ただし、この際に駆動電圧が20Vから25Vに上昇しているが、液晶表示素子に使用した場合に強誘電体層3にかかる電圧のばらつきが1/5になることで得られる画質向上の効果はそれ以上に大きい。

【0019】次に、図1及び図2に示したアクティブデバイスの製造方法について説明する。まず、ガラス基板等の絶縁基板1上にITOからなる透明電極膜を形成する。ITOはEB蒸着法、スパッタ法、CVC法などの薄膜成長法で成膜するか、またはMOD法を用いて行なわれる。成膜したITO膜はフォトリソエッチングプロセスによってパターニングし、個別に分離して複数の画素電極2及び引き出し部2aを形成する。上側基板Eの対向電極6も同様の方法で形成する。次に、画素電極2の引き出し部2a上に、Auから成るバッファ層7を形成する。バッファ層7はメタロオーガニックAuペーストをスクリーン印刷法で塗布後、700℃で1時間焼成し、フォトリソエッチングによりパターニングして前記画素電極2の引き出し部2aと交差するように形成する。

【0020】次に、図1の実施例の場合には、画素電極2及びバッファ層7が形成されている絶縁基板1の全面にPZTから成る誘電体層8を形成する。また、図2の実施例の場合には、画素電極2及びバッファ層7が形成されている絶縁基板1の全面にPZT膜を形成し、更にパターニングして上部電極(信号線) 4とバッファ層7とが重なり合う部分についてのみ誘電体層8を形成する。PZTは強誘電体材料であるが、本発明のアクティブデバイスに使用の際は、残留分極を供するほどの高電圧がかからないので、単に誘電体として用いられる。

【0021】PZT誘電体層8は以下の手順で形成する。まず、Pb、Zr、Tiの金属有機物である2-エチルヘキサン酸鉛、2-エチルヘキサン酸ジルコニウムおよび2-エチルヘキサン酸チタンを所望の原子数比になるように秤量し、溶媒や増粘剤または希釈剤といっしょに混合してよく攪拌し、金属有機物の均一混合溶液とする。金属の混合比はPb:Zr:Ti=1:x:1-x(0<x<1)となるような原子数比であればよく、xの値によって誘電率を自由に選択することができる。

また、PZT中のPbは、焼成中に蒸発しやすく焼成後の原子数比が減少するので、Pbの原子数比は焼成条件に合わせて5~20%の範囲で過剰に添加する。そして、Auのバッファ層7上に前記金属有機物の均一混合溶液をスクリーン印刷法で塗布し、70℃で20分間オープン中で乾燥後、ベルト赤外炉に入れて700℃で20分間焼成する。このようにして作製されたPZT誘電体層8は、膜厚約0.1μmで誘電率が200~800のものとなる。

【0022】前記PZT誘電体層8の形成されている絶縁基板1の全面に、Bi₄Ti₃O₁₂から成る強誘電体層3を形成する。Bi₄Ti₃O₁₂は強誘電体材料の中でも低誘電率であり、本発明のアクティブデバイスに好適である。強誘電体層3は以下の手順で形成する。まず、Bi、Tiの金属有機物である2-エチルヘキサン酸ビスマスと2-エチルヘキサン酸チタンを4:3の原子数比になるように秤量し、溶媒や増粘剤または希釈剤といっしょに混合してよく攪拌し、金属有機物の均一混合溶液とする。そして、PZT誘電体層8上に前記金属有機物の均一混合溶液をスクリーン印刷法で塗布し、70℃で20分間オープン中で乾燥後、ベルト赤外炉に入れて700℃で20分間焼成した。印刷、乾燥、焼成を3回繰り返すことにより膜厚が約0.3μmのPZT強誘電体層3を形成した。このようにして作製されたBi₄Ti₃O₁₂強誘電体層3は誘電率が80~100のものとなる。

【0023】最後に、前記PZT強誘電体層3上にその下層にある前記バッファ層7と交差するようにAuから成る上部電極（信号線）4を形成する。上部電極4はメタロオーガニックAuペーストをスクリーン印刷法で塗布後、700℃で1時間焼成し、フォトリソ・エッチングによりパターニングすることで形成される。以上、述べたプロセスを経てアクティブデバイスの形成された下側基板Dが完成し、ITOから成る対向電極6が形成された上側基板Eとの間に5μmのスペースを開けて、中に液晶を注入して液晶層Fを形成することで液晶表示素子を構成することができる。

【0024】液晶層Fとしては、DS（Dynamic Scattering mode）型、TN（Twisted Nematic）型、EBC（Electrically Controlled birefringence）型、GH（Guest Host）型、STN（Super Twisted Nematic）型、FLC（Ferroelectric Liquid Crystal）型等の液晶表示型を用いることができる。

【0025】バッファ層7は、Au以外にもPt、Ru、Rh、Ir等の貴金属や、これらの金属のうちの2種類以上の合金を用いることができる。

【0026】誘電体層8はPZT以外にも、PbTiO₃、

PbZrO₃、BaTiO₃、SrTiO₃、CaTiO₃、MgTiO₃、CaSnO₃、BaSnO₃、BaZrO₃、NaNbO₃、KNbO₃、CdTiO₃、Pb（Fe_{1/2}Ta_{1/2}）O₃、Pb（Ni_{1/3}Nb_{2/3}）O₃、Pb（Mg_{1/3}Nb_{2/3}）O₃、Cd（Cr_{1/2}Nb_{1/2}）O₃、Pb（Mg_{1/3}Nb_{2/3}）O₃、Cd（Cr_{1/2}Nb_{1/2}）O₃、Cd（Mg_{1/3}Nb_{2/3}）O₃、LiNbO₃、LiTaO₃、PbNb₂O₆、PbTa₂O₆や、これらのうちの2種類以上を組み合わせた化合物などを用いることができる。

【0027】強誘電体層3はBi₄Ti₃O₁₂以外にも、Bi₂WO₃、Bi₃TiNbO₉、Bi₅Ti₃FeO₁₅、PbBi₂Nb₂O₉、PbBi₂Ta₂O₉、PbBiTi₂NbO₁₂、BaBi₄Ti₄O₁₅、PbBi₄Ti₄O₁₅、Bi₄-XPbXTi₃-XNbXO₁₂、LaXB₁₄-XTi₃O₁₂、PbLaXB₁₄-XTi₄O₁₅などのBi系化合物、LiNbO₃、LiTaO₃などのLi系化合物などを用いることができる。このプロセスに使用される金属有機物は、有機配位子錯体を含むものであれば特に限定されないが、2-エチルヘキサン酸の他にも、具体的な有機配位子としては、安息香酸、ナフテン酸、ラウリル酸、ステアリン酸、アビエチン酸、カプリル酸、ミリスチン酸、パルミチン酸、リノール酸、オレイン酸などのカルボン酸、ビスアセチルアセトナト等のβ-ジケトン、カルバミン酸などを使用することができる。

【0028】また、前記金属含有物は溶媒に溶解させて、耐熱性基板に塗布して成膜されるが、その溶媒としては石油系溶剤、ミネラルスピリット、ターペン油、ベンゼン、アルコール系溶剤、カルビトール系、トルエン、セロソルブ系などの有機溶媒を金属有機物に応じて選択できる。また、金属有機物が溶媒に溶けにくい場合は、必要に応じてトリオクチルフォスフィンオキシド（TOPO）、リン酸トリブチル（TBD）あるいはアミン類などの付加錯体を生成する配位子を適量添加する。

【0029】さらに前記金属有機物溶液は、そのまま塗布しても構わないが、望ましくはその塗布法に応じて増粘剤または希釈剤を添加して粘度調整をすることが好ましい。増粘剤としては、例えば、ロジン、アビエチン酸、セルロース、アクリル樹脂などを使用することができる。希釈剤としては、α-ターピネオール、ブチルカルビトールアセテート等を使用することができる。溶液の粘度はスピンコート法の場合は1000cps以下、スクリーン印刷法の場合は3000~50000cpsの範囲で選択することが好ましい。また、溶液の粘度を塗布法に応じた範囲内で変化させることで、1回の塗膜・焼成で得られる薄膜の膜厚を自由に選択できることはいうまでもない。

【0030】本発明で用いる絶縁基板1は、好ましくは600℃以上に加熱しても変形や相変化のない基板であ

れば特に制限はなく、例えばバリウムホウケイ酸ガラス基板、石英ガラス基板、アルミナ基板などが、その目的に応じて使用される。粘度調整されたペーストは、スクリーン印刷法やスピコート法などにより、基板上に塗布され、目的とする金属の有機物溶液で形成された塗膜を前記金属有機物が分解、消失する温度（通常450～600℃）で焼成することが望ましい。なお、焼成のための加熱方法は、耐熱性基板を所定の温度に加熱できればよく、特に限定されない。具体的にはベルト式焼成炉等を使用することができる。

【0031】本発明では特にMOD法でバッファ層（下部電極）7を形成した場合について説明したが、MOD法以外の薄膜形成方法であってもバッファ層（下部電極）7に起伏や粗さのある場合には、同様の構成をとることにより、その上部に配置された強誘電体層3の誘電率のばらつきを抑制することができる。

【0032】

【発明の効果】本発明によれば、下部電極の存在により強誘電体層の膜厚にばらつきが生じるような場合においても、強誘電体層と下部電極との間に前記強誘電体層よりも誘電率の高い誘電体層を設けているので、強誘電体層及び誘電体層で構成される合成容量のばらつきを抑えることができ、液晶表示素子のアクティブデバイスに使用した場合に、表示のばらつきを低減させ、鮮明で品質の高い画像を得ることができる。また、本発明のアクティブデバイスの構成とすることで高い歩留まりで液晶表示素子を製造することができる。

【図面の簡単な説明】

【図1】 本発明にかかるアクティブデバイスの実施例を示すもので、（a）は液晶表示素子とした場合の断面説明図、（b）はアクティブデバイスの平面説明図である。

【図2】 他の実施例のアクティブデバイスを示すもので、（a）は液晶表示素子とした場合の断面説明図、（b）はアクティブデバイスの平面説明図である。

【図3】 実施例のアクティブデバイスの特徴的な部分の拡大断面説明図である。

【図4】 従来のアクティブデバイスと本発明のアクティブデバイスの強誘電体層の容量と強誘電体層にかかる電圧のばらつきを比較した表である。

【図5】 誘電体の非線形形を利用し液晶を駆動する原理を説明するもので、（a）は強誘電体のヒステリシスループ、（b）ないし（d）は自発分極の動きを示す図である。

【図6】 従来のアクティブデバイスを示すもので、（a）は液晶表示素子とした場合の断面説明図、（b）はアクティブデバイスの平面説明図である。

【図7】 （a）及び（b）は液晶表示素子の等価回路図である。

【図8】 図8の液晶表示素子にタイミングチャートで示したV_{dd}を印加したときのV_{lc}を示すタイミング図である。

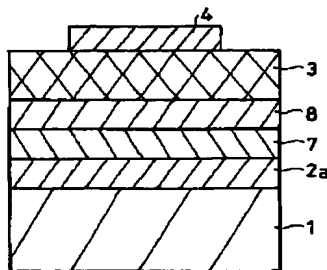
【図9】 MOD法で作製した従来のアクティブデバイスを示すもので、（a）は液晶表示素子とした場合の断面説明図、（b）はアクティブデバイスの平面説明図である。

【図10】 図9（a）中のAで示したアクティブデバイスの部分を拡大した拡大断面説明図である。


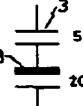
【符号の説明】

1…絶縁基板、 2…画素電極、 3…強誘電体層、
4…上部電極（信号線）、 5…絶縁基板、 6…対向電極、
7…バッファ層（下部電極）、 8…誘電体層、 D…下側基板、
E…上側基板、 F…液晶層

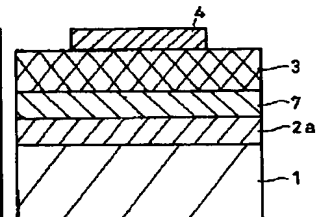
【図3】



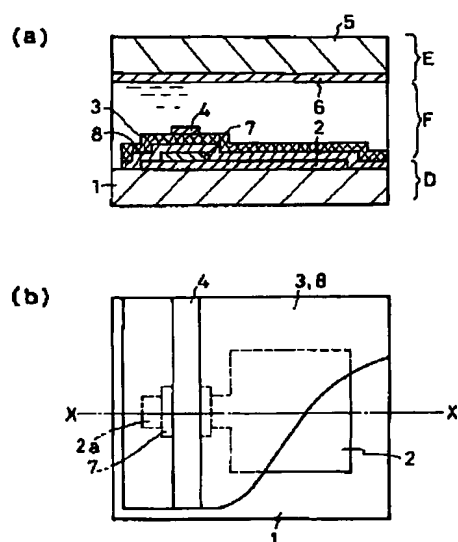
【図4】

容量と強誘電体にかかる電圧のばらつき				
	構造の等価回路	合成容量のばらつき	C _{lc}	強誘電体層にかかる電圧V ₁ のばらつき
従来		50pF + 10% 50pF - 10%	50pF	10V - 4.8% 10V + 5.2% (V _{dd} = 20V)
本発明		40pF + 1.35% 40pF - 2.16%	40pF	10V + 0.9% 10V - 1.1% (V _{dd} = 25V)

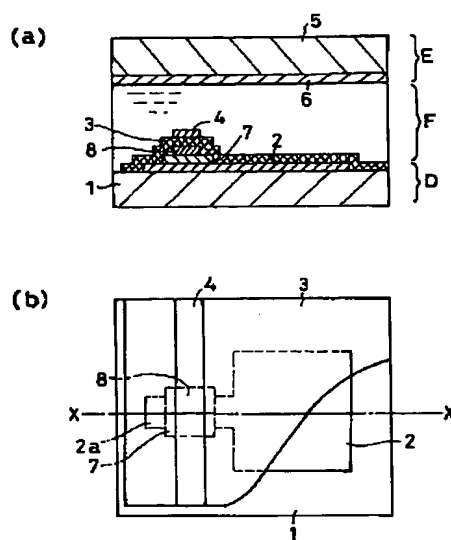
【図10】



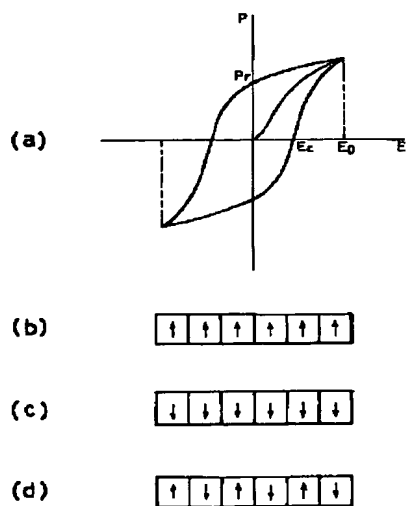
【図 1】



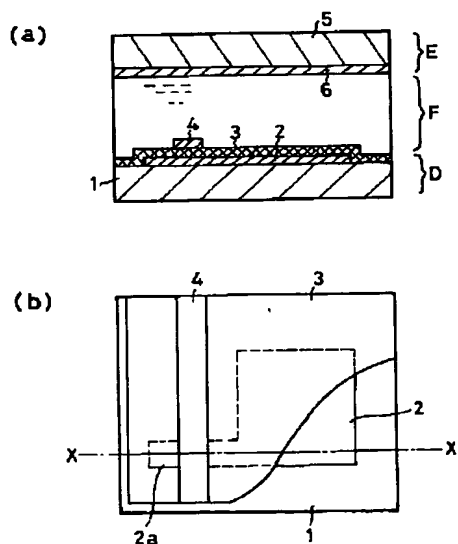
【図 2】



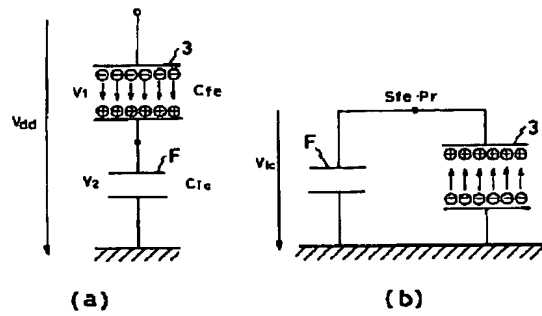
【図 5】



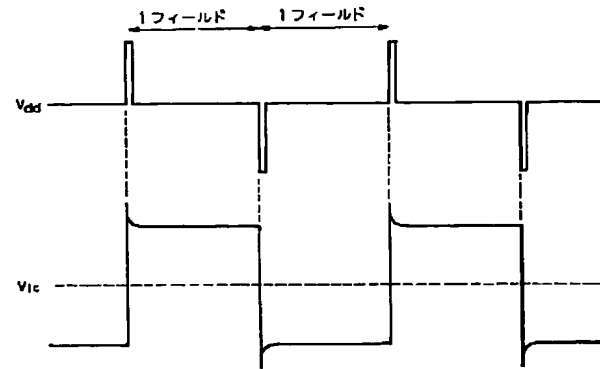
【図 6】



【図 7】



【図 8】



【図 9】

